

ТЕХНИЧЕСКИЕ НАУКИ

СУММАТОРЫ С ПОСЛЕДОВАТЕЛЬНЫМ ПЕРЕНОСОМ В ДОПОЛНИТЕЛЬНОМ КОДЕ 8421+3

Постников А. И.

*Кандидат технических наук,
Сибирский федеральный университет*

Макаров Н. И.

*студент магистратуры
Сибирский федеральный университет*

Аннотация

Кроме двоичной арифметики в ЭВМ выполняют команды двоично-десятичной арифметики. Их специфика связана в первую очередь с использованием представления десятичных цифр в двоичной системе и алгоритмами их обработки. В настоящее время для десятичных вычислений широко используется код прямого замещения 8421. В предлагаемой статье рассмотрены особенности проектирования многоразрядных сумматоров в дополнительном коде 8421+3, проведена оценка их основных характеристик.

Ключевые слова: двоично-десятичный код 8421+3, сумматор, поправка.

ADDERS WITH SEQUENTIAL CARRY IN ADDITIONAL CODE 8421+3

Postnikov A. I.

*Candidate of Technical Sciences,
Siberian Federal University*

Makarov N. I.

*graduate student
Siberian Federal University*

Annotation

In addition to binary arithmetic, the commands of binary-decimal arithmetic are executed in a computer. Their specificity is associated primarily with the use of the representation of decimal digits in the binary system and algorithms for their processing. At present, the direct replacement code 8421 is widely used for decimal calculations. The features of designing multi-digit adders in the additional code 8421 + 3 are considered in the paper, and their main characteristics are evaluated.

Keywords: binary-coded decimal code 8421 + 3, adder, correction.

Поскольку ЭВМ обрабатывает информацию, представленную в двоичной форме, то для представления десятичных цифр используется двоично-десятичные коды, в которых каждая десятичная цифра изображается соответствующим 4-разрядным двоичным кодом (тетрадой). С помощью четырёх двоичных разрядов можно закодировать 16 цифр, и при двоично-десятичном представлении 10 комбинаций считаются разрешёнными, а оставшиеся шесть – запрещёнными.

Широкое распространение получил код прямого замещения (код 8421, код Д1). Для кода 8421+3 (код Д4) все тетрады имеют значения на три единицы больше, чем тетрады кода Д1. Из пяти требований Рутисхаузера [1] для него не выполняется лишь требование весомозначности поскольку для него не существует целочисленных значений веса разрядов тетрады.

Как двоичные, так и двоично-десятичные числа кода Д4 могут быть представлены в прямом, обратном или дополнительном кодах. Авторы сочли целесообразным выполнить разработку и исследование специализированных многоразрядных сумматоров работающих в дополнительном коде Д4 обладающих свойством однородности и регулярности.

Представление положительных двоично-десятичных чисел одинаково во всех трёх кодах, прямом, обратном и дополнительном, и совпадает с представлением чисел в прямом коде (ПК).

Для кода Д4 выполняется условие самодополняемости и поэтому обратный код (ОК) отрицательных чисел получают простым инвертированием всех разрядов тетрад.

Для получения изображения двоично-десятичных чисел в дополнительном коде (ДК) следует арифметически прибавить единицу к младшему разряду младшей тетрады отрицательного числа, представленного в ОК. Порядок перевода отрицательных двоично-десятичных чисел из ДК в ПК аналогичен порядку перевода из ПК в ДК.

Знак положительного двоично-десятичного числа «+» можно изображать символом 0, а знак отрицательного числа «-» изображать символом 1.

При выполнении арифметического сложения двоично-десятичных кодов может возникнуть переполнение разрядной сетки. Для многоразрядных сумматоров двоично-десятичных чисел признаками переполнения являются:

- наличие единицы переноса из старшего разряда старшей тетрады цифровой части сумматора – для двоично-десятичных сумматоров ПК;
- знак результата отличный от знаков

слагаемых – для двоично-десятичных сумматоров ОК и ДК.

В литературе, рассматривающей вопросы связанные с двоично-десятичными кодами [1, 3, 4, 5, 6] указывается, что коррекция результата сложения двух двоично-десятичных чисел в коде Д4 производится прибавлением к результату операции одной из двух поправок в зависимости от того, был ли перенос из тетрады. Если перенос был, то к результату (промежуточная сумма) прибавляется поправка +3 (код 0011). Если переноса не было, то прибавляется поправка –3 (код 1101). Причём перенос, возникающий при коррекции, блокируется.

Коррекция результата сложения с помощью поправок +3 и –3 справедлива для любых пар чисел, представленных в прямом и обратном кодах Д4. Однако для чисел, представленных в дополнительном коде Д4, применение указанного выше простого правила прибавления поправок в ряде случаев приводит к неправильному результату. Например при сложении в дополнительном коде Д4 чисел –30 и +20 ($A_{\text{ДК Д4}} = 1.1001\ 1101$; $B_{\text{ДК Д4}} = 0.0101\ 0011$), получим $S_{\text{ДК Д4}} = 1.1100\ 0011$. Если перевести результат в прямой код Д4, то он будет выглядеть так: $S_{\text{ПК Д4}} = 1.0011\ 1101$, т. е. вместо правильного результата –10, получен неправильный, причём в младшей тетраде имеем тетраду, неиспользуемую для записи чисел в коде Д4. Поэтому, для получения правильного результата при сложении чисел, представленных в дополнительном коде Д4, следует воспользоваться алгоритмом сложения и введения корректирующих поправок представленным

в [2]. В этом алгоритме вместо двух поправок используются четыре (+3, –3, +2, –4).

На основе алгоритма с четырьмя поправками [2] были разработаны условное графическое обозначение (рис. 1) и функциональная схема (рис. 2) модуля тетрадного сумматора (*SMT*) для выполнения операции арифметического суммирования двух десятичных цифр в дополнительном коде Д4 с коррекцией четырьмя поправками.

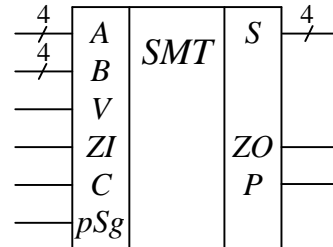


Рис. 1 – Условное графическое обозначение модуля тетрадного сумматора в ДК Д4 с коррекцией четырьмя поправками

Функциональная схема *SMT* (рис. 2) состоит из двух четырёхразрядных параллельных сумматоров с последовательным переносом (сумматор, формирующий промежуточную сумму включает элементы $D1 - D4$, и сумматор прибавления поправки, состоящий из элементов $D5 - D8$) и комбинационной схемы формирования поправки F .

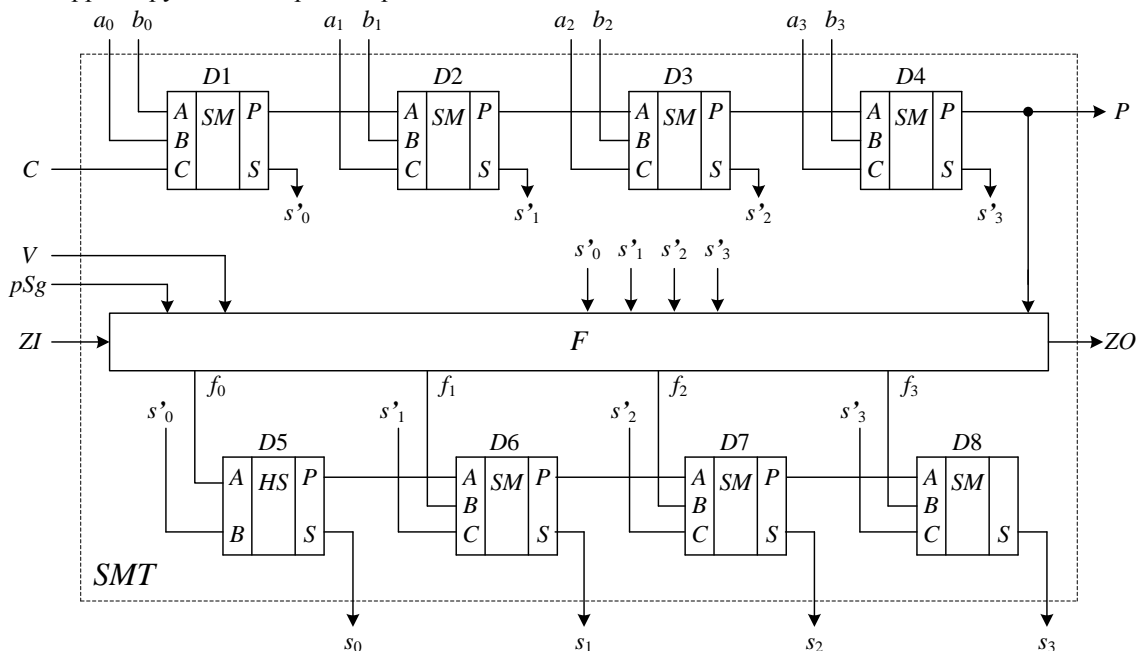


Рис. 2 – Функциональная схема модуля тетрадного сумматора в ДК Д4 с коррекцией четырьмя поправками

На рис. 1 и 2 использованы следующие обозначения:

A и B – тетрады слагаемых;

V – признак модуля для суммирования младших тетрад ($V = 1$ для *SMT* младших тетрад, $V = 0$ для *SMT* остальных тетрад);

ZI – признак того, что во всех предшествующих *SMT* в качестве промежуточной суммы (сумма

тетрад до прибавления поправки) получена комбинация «0000». $ZI = 1$ – если во всех предыдущих *SMT* промежуточные суммы равны «0000»;

C – входной перенос в *SMT*;

pSg – прототип знака результата (промежуточный знак);

S – сумма тетрад в ДК Д4 (после прибавления поправки);

получаться переполнение разрядной сетки (знак результата должен быть противоположен знакам слагаемых). Эта задача решена введением в структуру сумматора (рис. 3) схемы блокировки переноса (*BL*) в знаковый разряд и дополнительного сумматора знаковых разрядов (*D7*), формирующего прототип знака результата *pSg*. Введение в схему многоразрядного сумматора дополнительного сумматора знаков (*D7*) обусловлено необходимостью разделить процесс формирования знака результата и процесс вычисления сигнала блокировки переноса в сумматор знаков (*D6*).

Другая особенность сумматора в ДК Д4 заключается в том, что входной перенос в многоразрядный сумматор (в *SMT* суммирующий младшие тетрады чисел) должен быть равен «0». Следовательно, каскадирование таких многоразрядных сумматоров с целью наращивания разрядности невозможно. Для наращивания разрядности следует увеличить число последовательно включаемых тетрадных модулей *SMT*.

Для оценки быстродействия *n*-разрядного сумматора (рис. 3) рассмотрим последовательность процессов протекающих в нём по критическому пути.

1. Все разряды слагаемых одновременно поступают на входы всех *SMT(i)*.
2. В *SMT(0)* за 8τ формируется сигнал переноса *P*, который затем последовательно, за $(n-1) \cdot 8\tau$, распространяется через остальные *SMT* и поступает на вход *C* сумматора прототипа знака (элемент *D7*).
3. Прототип знака *pSg*, сформированный за $T_{pSg} = 3\tau$, по цепи обратной связи подаётся на все *SMT*.
4. В *SMT(0)* за 3τ формируются поправка и сигнал *ZO*, который последовательно, за $(n-1) \cdot 3\tau$, распространяется через остальные *SMT* и поступает на схему блокировки переноса (*BL*). Одновременно с сигналом *ZO* в каждом *SMT(i)* формируется поправка.

5. Прибавление поправки в старшем тетрадном сумматоре *SMT(n-1)* за время $T_{SMP4} = 8\tau$.

Последовательное срабатывание схемы блокировки переноса за время $T_{BLA} = 2\tau$ и сумматора знаковых разрядов (элемент *D6*) за $T_{SgS} = 3\tau$ происходит одновременно с прибавлением поправки в старшем тетрадном сумматоре. Таким образом, быстродействие *n*-разрядного сумматора, представленного на рис. 3 можно оценить по следующему соотношению

$$T_{SMA} = n \cdot T_{P4} + T_{pSg} + n \cdot T_F + T_{SMP4}.$$

Соотношение для оценки аппаратных затрат на реализацию *n*-разрядного параллельного сумматора с последовательными переносами в ДК Д4 и прибавлением четырёх поправок можно представить как:

$$C_{ASMA} = n \cdot C_{ASMT4} + C_{BLA} + 2 \cdot C_{ASS}.$$

Однако при детальном анализе процессов, происходящих в сумматоре, оказалось, что можно обойтись двумя поправками +3 и -3 изменив алгоритм их прибавления. Особенность алгоритма заключается в том, что если знак результата отрицательный и при суммировании младших тетрад слагаемых получилась комбинация «0000», то к промежуточной сумме в младшей тетраде следует блокировать десятичный перенос из младшей тетрады в следующую и прибавить поправку не +3, а -3. Во всех остальных случаях поправка прибавляется обычным порядком в зависимости от переноса из данной тетрады.

На основе этого алгоритма были разработаны условное графическое обозначение (рис. 4) и функциональная схема (рис. 5) модуля тетрадного сумматора (*SMT*) для выполнения операции арифметического суммирования двух десятичных цифр в дополнительном коде Д4 с коррекцией двумя поправками.

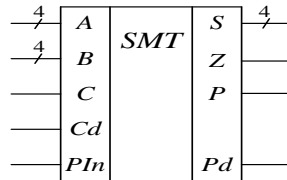


Рис. 4 – Условное графическое обозначение модуля тетрадного сумматора в ДК Д4 с коррекцией двумя поправками

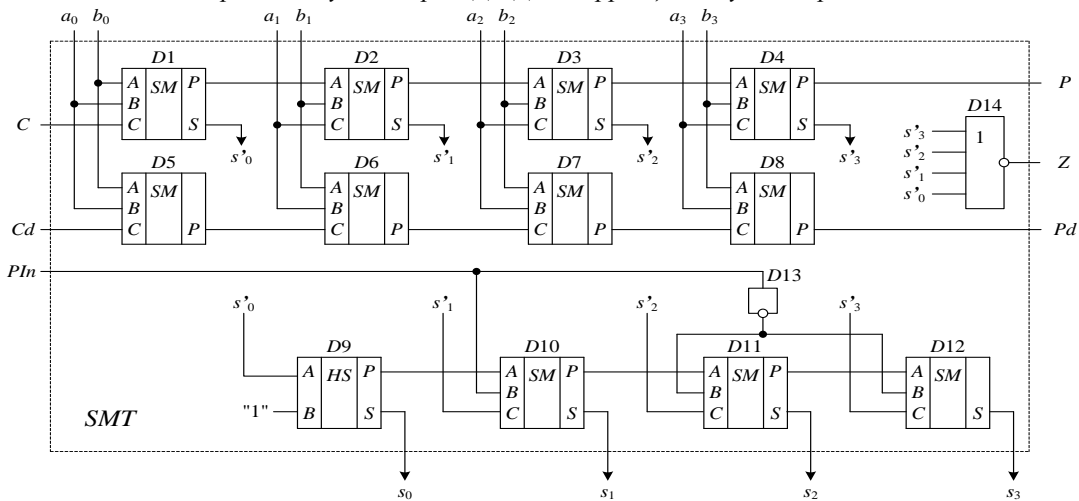


Рис. 5 – Функциональная схема модуля тетрадного сумматора в ДК Д4 с коррекцией двумя поправками

Функциональная схема *SMT* (рис. 5) состоит из двух четырёхразрядных параллельных сумматоров с последовательным переносом (сумматор, формирующий промежуточную сумму, включает элементы *D1 – D4* и сумматор прибавления поправки, состоящий из элементов *D9 – D12*), схемы формирования переноса в дополнительный одноразрядный сумматор знаков для определения прототипа знакового разряда результата, который построен на основе последовательного соединения одноразрядных сумматоров имеющих только один выход *P* (элементы *D5 – D8*) и дополнительных элементов формирующих поправку (*D13*) и признак равенства «0000» промежуточной суммы (*D14*).

Помимо уже описанных выше обозначений на рис. 4 и 5 использованы следующие обозначения:

Cd – входной перенос в *SMT* предназначенный для вычисления прототипа знака результата участвующего в формировании сигнала блокировки переноса из модуля, суммирующего младшие тетрады слагаемых;

Pln – вход, на который должен подаваться сигнал переноса сформированный в текущем *SMT*. На основании значения этого переноса в модуле на инверторе *D13* формируется поправка;

Z – признак того, что в и текущем *SMT* в качестве промежуточной суммы (сумма тетрады до прибавления поправки) получена комбинация «0000»;

P – основной перенос в следующий *SMT*;

Pd – дополнительный перенос в следующий *SMT*, предназначенный для формирования прототипа знака *pSg* и сигнала блокировки переноса из младшего *SMT*.

Аппаратурные затраты на реализацию неполного одноразрядного сумматора (*D5 – D8*) имеющего только выход переноса составляют $C_{ASP} = 6$, а его быстродействие $T_{SP} = 2\tau$. Сложность схемы формирования признака наличия комбинации «0000» составляют $C_{AZ} = 4$, а быстродействие $T_Z = 1\tau$.

Аппаратурные затраты на *SMT* с двумя поправками составляют

$$C_{ASMT2} = 6 \cdot C_{AS} + 4 \cdot C_{ASP} + C_{ASS} + C_{AZ} + C_{AHS} + 1 = 155.$$

Время формирования промежуточной суммы (s'_0, s'_1, s'_2, s'_3) составляет $T_{SMP2} = 9\tau$, а время формирования окончательной суммы в *SMT* (прибавление поправки) – $T_{SMP2} = 7\tau$. Сигналы на выходах *P* и *Pd* модуля тетрадного сумматора *SMT* формируется за $T_{P2} = 8\tau$.

Последовательное соединение таких тетрадных модулей сумматоров позволяет строить параллельные сумматоры с последовательным переносом и коррекцией двумя поправками произвольной разрядности (рис. 6).

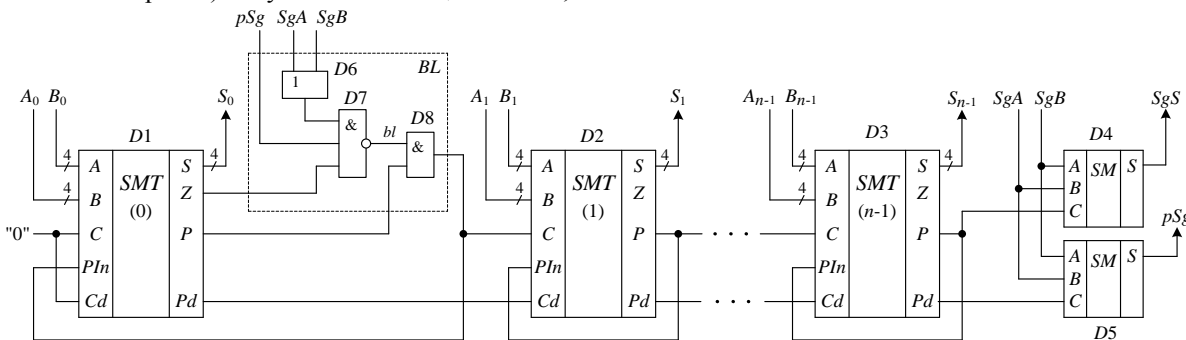


Рис. 6 – Параллельный сумматор с последовательным переносом в ДК Д4 с коррекцией двумя поправками

В схеме используются следующие обозначения:

BL – схема выполняющая блокировку переноса из младшего *SMT*;

bl – признак блокировки переноса из младшего *SMT* в следующий.

Цепь дополнительного переноса (*D5 – D8* на рис. 5) и дополнительный сумматор знаков (*D5* на рис. 6) предназначены для разделения процесса формирования знака окончательного результата и процесса вычисления сигнала блокировки переноса из *SMT(0)*.

Для оценки быстродействия *n*-разрядного сумматора (рис. 6) рассмотрим последовательность процессов протекающих в нём по критическому пути.

1. Все разряды слагаемых одновременно поступают на входы всех *SMT(i)*.

2. В *SMT(0)* за 8τ на выходе дополнительного переноса *Pd* формируется сигнал переноса, который последовательно, за $(n-1) \cdot 8\tau$, распространяется через остальные *SMT* и поступает на вход *C* сумматора прототипа знака (*D5*).

3. Прототип знака *pSg*, сформированный за $T_{pSg} = 3\tau$, по цепи обратной связи подаётся на схему блокировки переноса *BL*.

4. В схеме блокировки *BL* за время $T_{BL2} = 2\tau$, в зависимости от значения сигнала блокировки *bl*, вычисляется значение сигнала основного переноса *P* подающегося на вход *C* следующего модуля. Кроме того, этот сигнал поступает на вход *Pln* *SMT(0)* для формирования нужной поправки.

5. Сигнал переноса, пришедший на вход *C* *SMT(1)* последовательно, за $(n-1) \cdot 8\tau$, распространяется через остальные *SMT* и поступает на вход *Pln* *SMT(n-1)* и на вход *C* сумматора знаковых разрядов *D4*.

5. Прибавление поправки в старшем тетрадном сумматоре *SMT(n-1)* выполняется за время $T_{SMP2} = 7\tau$. Вычисление знака результата *SgS* на сумматоре знаков *D4* выполняется за 3τ одновременно с прибавлением поправки в старшем модуле *SMT(n-1)*.

Таким образом, быстродействие *n*-разрядного сумматора, представленного на рис. 6 можно оценить по следующему соотношению

$$T_{SM2} = (2n-1) \cdot T_{P2} + T_{pSg} + T_{BL2} + T_{SMP2}.$$

Аппаратурные затраты на реализацию n -разрядного параллельного сумматора с последовательными переносами в ДК Д4 и коррекцией двумя поправками можно представить как

$$C_{ASM2} = n \cdot C_{SMT2} + C_{BL2} + 2 \cdot C_{ASS}.$$

Корректность разработки многоразрядного сумматора как с четырьмя поправками, так и с двумя поправками и блокировкой переноса из младшего модуля, подтверждена разработанными

авторами программными моделями четырёхразрядных сумматоров, на входы которых подавались все возможные комбинации пар чисел в диапазоне от –9999 до +9999.

Результаты расчетов по полученным соотношениям сведены в табл. 1, в которой отражена зависимость аппаратных затрат на реализацию многоразрядных сумматоров и их быстродействия от разрядности слагаемых n .

Таблица 1 – Аппаратурные затраты и быстродействие сумматоров

n	4 поправки		2 поправки	
	C_{ASM4}	T_{SM4} (τ)	C_{ASM2}	T_{SM2} (τ)
2	351	33	341	36
3	512	44	496	52
4	673	55	651	68
5	834	66	806	84
6	995	77	961	100
7	1156	88	1116	116
8	1317	99	1271	132
9	1478	110	1426	148
10	1639	121	1581	164

Анализ полученных результатов показывает, что сумматор с четырьмя поправками имеет быстродействие выше, чем сумматор с двумя поправками. Это происходит вследствие того, что в сумматоре с четырьмя поправками после вычисления прототипа знака результата сигнал последовательно проходит через все SMT формируя сигнал ZO , поступающий на схему блокировки переноса в основной сумматор знаков, причём время, за которое формируется сигнал ZO в каждой тетраде, составляет 3τ. В сумматоре с двумя поправками прототип знака результата через схему блокировки переноса из $SMT(0)$ влияет на промежуточную сумму в $SMT(1)$ и далее, последовательно распространяясь через все SMT , причём время, за которое скорректированный перенос проходит через каждую из $SMT(i)$ составляет 8τ.

Если проводить сравнение по мультипликативному критерию $C_{ASM} \cdot T_{SM}$, то предпочтительнее выглядит сумматор с четырьмя поправками.

Для повышения быстродействия параллельных многоразрядных сумматоров с последовательным переносом в ДК Д4 следует ускорить как процесс распространения переносов как при формировании прототипа знака результата, так и процесс распространения сигнала ZO (для сумматора с четырьмя поправками) и процесс распространения основного переноса при формировании промежуточных сумм (для сумматора с двумя поправками и

блокировкой переноса из младшего тетрадного модуля).

Литература

1. Пospelов Д. А. Арифметические основы вычислительных машин дискретного действия. Учеб. пособие для вузов. – М.: Высш. школа, 1970. – 308 с.
2. Постников А. И., Вейсов Е. А. Теория автоматов и машинная арифметика: учеб. пособие / А. И. Постников, Е. А. Вейсов. – Красноярск: ИПЦ КГТУ, 2006. – 376 с.
3. Савельев А.Я. Арифметические и логические основы цифровых автоматов. Учебник. – М.: Высшая школа, 1980. – 255 с.
4. Жмакин А.П. Архитектура ЭВМ: 2-е изд., перераб. и доп.: учеб. пособие. – СПб.: БХВ-Петербург, 2010. – 352 с.
5. Лысиков Б.Г. Арифметические и логические основы цифровых автоматов: [Учебник для вузов по спец. «Электрон. вычисл. машины»]. – 2-е изд., перераб. и доп. – Мн.: Выш. школа, 1980. – 336 с.
6. Зубчук В. И. и др. Справочник по цифровой схемотехнике / В. И. Зубчук, В. П. Сигорский, А. Н. Шкуро. — К. Тэхника, 1990. — 448 с.
7. http://icdm.ippm.ru/w/Алгоритм_Espresso.
Equation Chapter 1 Section 1 Работа выполнена при поддержке гранта ФГБУ «Фонд содействия развитию малых форм предприятий в научно-технической сфере» по договору (соглашению) № 11296ГУ/2016 от 07.04.2017 г.